

特開平11-145394

(43) 公開日 平成11年(1999) 5月28日

(51) Int. Cl. ⁷		識別記号		F I	
H 01 L	27/04	H 01 L	27/04	C	
	21/82		21/82	P	
	21/82		27/04	V	
				E	
審査請求 未請求 請求項の数 5 O L (全 6 頁)					
(21) 出願番号		特開平9-302397		(71) 出願人	
				00005108	
(22) 出願日		平成9年(1997)11月5日		(72) 発明者	
				株式会社日立製作所	
				東京都千代田区神田豊阿台四丁目6番地	
				中川 宏	
				(72) 発明者	
				東京教育大学今井228番地 株式会社日立	
				製作所デバイス開発センター内	
				大石 真時	
				(72) 発明者	
				東京教育大学今井228番地 株式会社日立	
				製作所デバイス開発センター内	
				(74) 代理人	
				弁護士 筒井 大和	

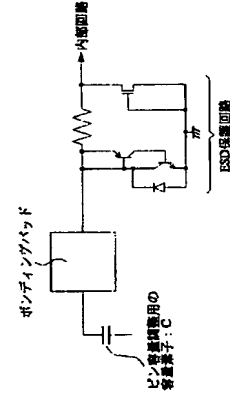
(54) 【発明の名称】 半導体集積回路装置

(37) 【要約】

【課題】 半導体集積回路装置の同路動作に影響を及ぼすことなくピン容量を制御することができ、その技術を提供する。

【解決手段】 半導体集積回路装置は、半導体チップのピン容量を調整するための容量素子Cを有しており、上記容量素子Cがボンディングパッドと内部回路との間の領域でボンディングパッドに直付けされている。これによって、ピン容量の最小値は確保され、また、上記容量素子Cの容量成分は信号パス上には現れないので、容量素子Cを設けても同路動作には影響を及ぼさない。

図 1



(2)

特開平11-145394

F以下に設けられる。ここでピン容量とは、半導体チップの外部、すなわち、リードフレームから見た半導体集積回路装置の内部回路、ボンディングパッド、ワイヤなどの全容量である。

【0005】なお、シンクロナスDRAMについては、例えば、筑波大学「超LSIメモリ、1994年11月5日発行、伊藤清男著、P346に記載されている。

【0006】

【発明が解決しようとする課題】 しかしながら、シンクロナスDRAMにおいては、ノイズの発生を抑え、また、発生したノイズの反拍を抑えるために、インピーダンスの整合をとらなくてはならず、このため、ピン容量の最小値に加えてピン容量の最大値を規定する必要がある。

【0007】ところが、本発明者が検討したところによら、ピン容量の最小値を設定するために、単に、ボンディングパッドと内部回路との間に容量素子を接続すると、ピン容量が短絡の最大値よりも増加して同路動作に影響を及ぼすという問題が生ずる。

【0008】本発明の目的は、半導体集積回路装置の同路動作に影響を及ぼすことなくピン容量を制御することのできる技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、半導体チップのピン容量を調整するための容量素子を有しており、上記容量素子がボンディングパッドと内部回路との間の領域でボンディングパッドに直付けされているものである。

【0012】上記した手段によれば、ボンディングパッドに容量素子を直付けすることによってピン容量の最小値が確保され、また、ボンディングパッドと内部回路との間に上記容量素子は形成されないで、容量素子の容量成分は信号パス上には現れず、同路動作には影響を及ぼさない。

【0013】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0014】なお、実施の形態を説明するための各図において同一機能を示すものには同一の符号を付し、その繰り返しの説明は省略する。

【0015】図1は、本発明の実施の形態であるピン容量調整用の容量素子を説明するための入力端部の同路動作を示す。

【0016】半導体集積回路装置の内部回路とボンディ

【特許請求の範囲】

【請求項1】 半導体チップのピン容量を調整するための容量素子が、ボンディングパッドに直付けされていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記容量素子は、ボンディングパッドと内部回路との間の領域に形成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記容量素子の容量値は、0.5〜1.5 pFであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記容量素子は、半導体基板またはウェエルの表面に形成され、MISFETのゲート電極と同一層の電極を他方の電極とし、ゲート間分離用のフィードバック線を容量素子の電極として形成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記容量素子は、短絡線路を介して上下に配置する配線層の上層の配線層を一方の電極とし、下層の配線層を他方の電極とし、前記短絡線路を容量素子の電極として形成されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】 本発明は、半導体チップのピン容量の調整を必要とする半導体集積回路装置に関し、特に、シンクロナスDRAM (Synchronous Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 シンクロナスDRAMは、システムクロックと同期させて、すべての入出力情報を半導体チップの入出力側のラッチで一時記憶し、同期動作方式であり、すべての動作モードをシステムクロックに等しいコマンド信号の組み合わせで指定できるので、従来の高速メモリーモード以上の高スループット性能をもつ。

【0003】すなわち、クロックパルス幅に等しい外部信号の組み合わせでチップの動作モードが決められ、このモードがチップ内のコマンドデコードで解読され、これをもとにチップ内部の動作が始まる。ここで、列アドレスバスと行アドレスバスをクロックサイクル数という形でアドレスバスから初期入力すると、バンクを切り換えても連続データが絶えず得られる。これらの動作は、バーストモードのアドレスをアドレスカウンタによって発生して、順次列デコードに送るによって実現されている。

【0004】従って、このシンクロナスDRAMでは、高速動作を実現するために、半導体チップのピン容量の最大値が規定されており、例えば、1/O部 (入出力部) のピン容量は4〜5 pF、他のピン容量は2.5 pF

ングパッドとの間には、静電気放電 (Electrostatic Discharge; ESD) 入力保護素子が設けられている。

【0017】後述していない導電体や人間は、誘電により、あるいは電荷を帯びた絶縁体に触れることによって静電気を帯びる。このような導電体や人間が半導体チップに触れて回路中の放電向きのパスを通じて静電気が放電されると、瞬間的に大電流が流れ回路が破壊されることとなる。そこで、信頼性を確保するために、内部回路をESDから保護する頑丈な入力デバイス、すなわちESD保護素子が設けられている。

【0018】さらに、ボンディングパッドには、例えば、約1pFの容量を有するピン容量測定用の容量素子Cが直付けされている。はりのアクセス時間ははりバスCの遅延時間 (抵抗×容量) によって決まるが、ピン容量測定用の容量素子Cはボンディングパッドに直付けされる間に形成される。ボンディングパッドに直付けされる間には形成されるので、容量素子Cの容量成分ははりバス上には現れない。

【0019】次に、シクロナスDRAMに適用された本発明の形態のピン容量測定用の容量素子Cの製造方法を図2および図3を用いて説明する。図2はピン容量測定用の容量素子Cの要部断面図、図3は図2のA-A'線の要部断面図である。なお、シクロナスDRAMを構成するメモリのセルのメモリアドレス選択用MISFETと情報記憶用容量素子および周辺回路は図1に示さず、ピン容量測定用の容量素子Cのみを示す。

【0020】まず、p⁺型シリコン単結晶からなる半導体基板1の表面上に同様の方法で、p型ウェルおよびn型ウェルを形成し、次いで、素子間分離用のフィールド酸化膜を形成する。ここで、上記フィールド酸化膜と同様の絶縁膜2によってピン容量測定用の容量素子Cの容量絶縁膜が形成される。

【0021】次に、半導体基板1上にメモリアドレス選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) および周辺回路のMISFETのゲート絶縁膜を形成する。その後、半導体基板1上に堆積された第1の酸化シリコン膜、第1のタングステンシリサイド (WSi₂) 膜および第1の多結晶シリコン膜からなる側壁膜を順次エッチングすることにより、第1のWSi₂膜および第1の多結晶シリコン膜からなるメモリアドレス選択用MISFETのゲートからなるメモリアドレス選択用MISFETのゲート電極を形成する。

【0022】ここで、上記ゲート電極と同様の導電膜3を一方の電極とし、半導体基板1を他方の電極としたピン容量測定用の容量素子Cが形成される。ピン容量測定用の容量素子Cの一方の電極を構成する導電膜3の面積は、ピン容量の規格値0.5〜1.5pFを満たすように最適設計される。

【0023】なお、上記ゲート電極を構成するメタルシ

リサイド膜にWSi₂膜を用いたが、その他のメタルシリサイド膜、例えばモリブデンシリサイド (MoSi₂) 膜、チタンシリサイド (TiSi₂) 膜、タンタルシリサイド (TaSi₂) 膜などを用いてもよい。

【0024】次に、周辺回路のnチャネル型MISFETのn型半導体領域およびpチャネル型MISFETのp型半導体領域を形成した後、半導体基板1上に堆積された第2の酸化シリコン膜を反応で加工することによって、上記ゲート電極の側壁にサイドウォールを形成し、ゲート電極を第1の酸化シリコン膜および第2の酸化シリコン膜からなる絶縁膜4で覆う。この際、ピン容量測定用の容量素子Cの一方の電極を構成する導電膜3も上記絶縁膜4によって覆われる。

【0025】次に、半導体基板1上に第1の酸化シリコン膜5および第1のBPSG膜 (Boron-doped Phospho Silicate Glass) 膜6をCVD (Chemical Vapor Deposition) 法によって順次堆積した後、900〜950℃のリフロー処理により上記第1のBPSG膜6の表面を平坦化する。

【0026】次に、図1には示さないが、メモリアドレス選択用MISFETと情報記憶用容量素子を形成する。まず、レジストパターンをマスクにして第1のBPSG膜6、酸化シリコン膜5およびゲート絶縁膜と同様の絶縁膜を順次エッチングすることにより、メモリアドレス選択用MISFETの一方の後に形成されるn型半導体領域上に第1のコンタクトホールを形成する。

【0027】次いで、上記第1のコンタクトホール内にPが導入された第2の多結晶シリコン膜からなる第1のプラグ層を形成する。なお、この第2の多結晶シリコン膜に導入されたPの拡散によってメモリアドレス選択用MISFETの一方のn型半導体領域が形成される。

【0028】次に、半導体基板1上に第2の酸化シリコン膜7をCVD法によって堆積する。次いで、レジストパターンをマスクにして第2の酸化シリコン膜7、第1のBPSG膜6、第1の酸化シリコン膜5およびゲート絶縁膜と同様の絶縁膜を順次エッチングすることにより、メモリアドレス選択用MISFETの他方の後に形成されるn型半導体領域上に第2のコンタクトホールを形成する。

【0029】次いで、半導体基板1上にPが導入された第3の多結晶シリコン膜8および第2のWSi₂膜をCVD法によって順次堆積した後、レジストパターンをマスクにして第2のWSi₂膜および第3の多結晶シリコン膜を順次エッチングすることにより、第2のWSi₂膜および第3の多結晶シリコン膜からなるビット線を形成する。

【0030】また、上記第3の多結晶シリコン膜に導入されたPの拡散によってメモリアドレス選択用MISFETの他方のn型半導体領域は形成され、ビット線は第2の

コンタクトホールを通じて、このメモリアドレス選択用MISFETの他方のn型半導体領域は接続される。

【0031】次に、半導体基板1上に第3の酸化シリコン膜8、第3の酸化シリコン膜8および第2のBPSG膜をCVD法によって順次堆積した後、900〜950℃のリフロー処理により上記第2のBPSG膜の表面を平坦化する。

【0032】次に、半導体基板1上にPが導入された第4の多結晶シリコン膜をCVD法によって堆積した後、レジストパターンをマスクにしてこの第4の多結晶シリコン膜をエッチングする。次いで、半導体基板1上にCVD法によって堆積されたPが導入された第5の多結晶シリコン膜をRIE法などの異方性エッチングによって加工し、第4の多結晶シリコン膜の側壁に第5の多結晶シリコン膜からなるサイドウォールを形成する。

【0033】次いで、レジストパターンをマスクにしてメモリアドレス選択用MISFETの第3の酸化シリコン膜7、第3の酸化シリコン膜8および第2の酸化シリコン膜5を順次エッチングすることにより、第1のコンタクトホール内に設けられた第1のプラグ層上に第3のコンタクトホールを形成した後、半導体基板1上にPが導入された第6の多結晶シリコン膜8および第3のBPSG膜をCVD法によって順次堆積する。

【0034】次に、レジストパターンをマスクにして上記第3のBPSG膜8、第6の多結晶シリコン膜8および第4の酸化シリコン膜9を順次エッチングした後、半導体基板1上にPが導入された第7の多結晶シリコン膜10をCVD法によって堆積する。次いで、この第7の多結晶シリコン膜をRIE法などの異方性エッチングによって加工し、メモリアドレス選択用MISFETの第6の多結晶シリコン膜8および第3のBPSG膜8の側壁に第7の多結晶シリコン膜を形成する。

【0035】次に、例えば、フッ酸溶液を用いたリエッチングによって、第3のBPSG膜8および第2のBPSG膜8を除去し、メモリアドレス選択用MISFETの側壁に第4の多結晶シリコン膜によって構成されるH型の蓄積電極を形成する。

【0036】次に、半導体基板1上に厚さ約2nmの第4の酸化シリコン膜をCVD法によって堆積し、続いて、厚さ約30nmの非晶質の酸化タンタル膜 (Ta₂O₅) 膜をCVD法によって堆積した後、半導体基板1に熱処理を施すことによって、上記Ta₂O₅膜を結晶化する。その後、半導体基板1上に酸化タンタル (TiN) 膜をCVD法によって堆積し、次いで、レジストパターンをマスクにしてこのTiN膜をエッチングすることにより、TiN膜からなるプレート電極を形成する。

【0037】なお、容量絶縁膜にTa₂O₅膜を用いたが、その他の酸化メタル膜 (例えば、(Ba, Sr) TiO₂膜またはPb (Zr, Ti) O₃ 膜) などを用いて

もよく、また、上記プレート電極にTiN膜を用いたが、その他のメタルナイトライド膜 (例えば、WN膜) またはメタル膜 (例えば、W膜) などを用いてもよい。

【0038】以上の製造工程により、メモリアドレス選択用MISFETと情報記憶用容量素子が完成する。

【0039】次に、半導体基板1上に第4の酸化シリコン膜9および第4のBPSG膜10をCVD法によって順次堆積した後、900〜950℃のリフロー処理により上記第4のBPSG膜10の表面を平坦化する。

【0040】次いで、プレート電極上、ビット線、および周辺回路のMISFETの半導体領域とゲート電極上に第5のコンタクトホールを形成する。この際、レジストパターンをマスクにして第4のBPSG膜10、第4の酸化シリコン膜9、第3の酸化シリコン膜8、第2の酸化シリコン膜7、第1のBPSG膜6、第1の酸化シリコン膜5および絶縁膜4を順次エッチングすることにより、ピン容量測定用の容量素子Cの一方の電極である導電膜3上にも第4のコンタクトホール11を形成する。

【0041】次に、半導体基板1上に金属膜 (図1に示す) を堆積した後、レジストパターンをマスクにして上記金属膜をエッチングすることにより、第1層目のメタル配線M₁が形成される。次いで、半導体基板1上にE₁ (Electron Cyclotron Resonance: 電子サイクロトロン共鳴) プラズマCVD法によって第5の酸化シリコン膜を堆積し、この第5の酸化シリコン膜によって構成される第1の層間絶縁膜12を設ける。

【0042】次に、レジストパターンをマスクにして上記第1の層間絶縁膜12をエッチングすることにより、第1層目のメタル配線M₁に導するスルーホール13を形成した後、半導体基板1上に金属膜を堆積し、次いで、この金属膜をレジストパターンをマスクにしてエッチングすることにより、第2層目のメタル配線M₂を形成する。

【0043】さらに、半導体基板1上にE₂ CRプラズマCVD法によって第6の酸化シリコン膜を堆積し、この第6の酸化シリコン膜によって構成される第2の層間絶縁膜14を設ける。

【0044】次に、レジストパターンをマスクにして上記第2の層間絶縁膜14をエッチングすることにより、第2層目のメタル配線M₂に導するスルーホール15を形成した後、半導体基板1上に金属膜を堆積し、次いで、この金属膜をレジストパターンをマスクにしてエッチングすることにより、第3層目のメタル配線M₃を形成する。

【0045】最後に、半導体基板1の表面をハッチペーシング膜16で被覆し、次いで、レジストパターンをマスクにして上記ハッチペーシング膜16をエッチングすることにより、ボンディングパッドを構成する第3層目

(5)

のメタル配線M₃上にホール17を形成する。
【0046】以上の製造方法によって、本実施の形態のピン容量調整用の容量素子Cを有するシンクロナスDRAMが完成する。

【0047】このように、本実施の形態によれば、メモリスセルのメモリスセル選択用MISFETおよび周辺回路のMISFETのゲート電極と同一層の導電膜3を一方の電極とし、半導体基板1を他方の電極とし、フィードバック導電膜2を容量素子Cの容量成分とする容量素子Cをボンディングパッドに置付けして容量成分を形成し、この容量素子Cを最適設計することによってピン容量の最小値を設定することができる。さらに、上記容量素子Cはボンディングパッドと内部回路との間には設けられていないので、容量素子Cの容量成分は信号パス上には現れず、容量素子Cを設けても回路動作には影響を及ぼさない。

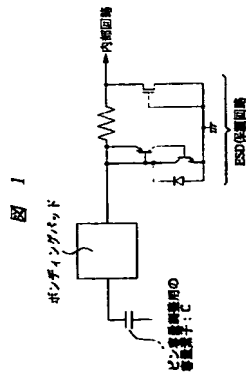
【0048】以上、本発明者によってなされた発明を発明の実施の形態に基き且具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】例えば、前記実施の形態では、ピン容量調整用の容量素子Cは、メモリスセルのメモリスセル選択用MISFETおよび周辺回路のMISFETのゲート電極と同一層の導電膜2を一方の電極とし、半導体基板を他方の電極とし、フィードバック導電膜を容量素子Cの容量成分とし、他方方の電極を半導体基板に設けられたウェル配線としてよい。また、層間絶縁膜を介して上下に位置するメタル配線の上層のメタル配線を一方の電極とし、下層のメタル配線を他方の電極とし、上記層間絶縁膜を容量素子Cの容量成分とし、半導体基板を他方の電極としてよい。

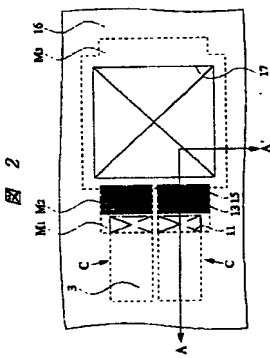
【0050】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

【図1】



【図2】



特開平11-145394

以下のとおりである。
【0051】本発明によれば、回路動作に影響を及ぼすことなくボンディングパッドに直付けされた容量素子によってピン容量を調整することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態であるピン容量調整用の容量素子Cを説明するための入力端子部の回路図を示す。

【図2】本発明の実施の形態であるピン容量調整用の容量素子Cの製造方法を説明するための半導体基板の要部断面図である。

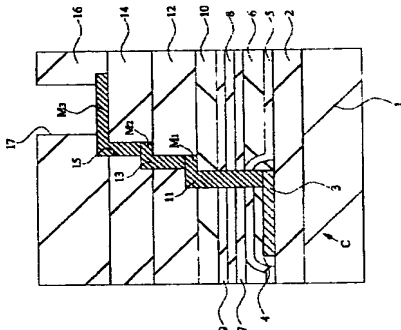
【図3】図2のA-A'線における半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 導電膜
- 4 絶縁膜
- 5 第1の酸化シリコン膜
- 6 第1のBPSC膜
- 7 第2の酸化シリコン膜
- 8 第3の酸化シリコン膜
- 9 第4のRPSG膜
- 10 第4のコンタクトホール
- 11 第4の酸化シリコン膜
- 12 第1の層間絶縁膜
- 13 スルーホール
- 14 第2の層間絶縁膜
- 15 スルーホール
- 16 パッシベーション
- 17 ホール
- C 容量素子
- M₁ 第1層目のメタル配線
- M₂ 第2層目のメタル配線
- M₃ 第3層目のメタル配線

【図3】

図 3



(6)